

ALAN ETKİLİ TRANSİSTÖRLÜ YÜKSELTEÇLER

9.1 JFET'Lİ YÜKSELTEÇLER

JFET'in en önemli uygulama alanlarından biri yükselteç (amplifikatör) devreleridir. Diğer taraftan son yıllarda sayısal devrelerde de çok sık kullanılmaya başlanılmıştır. JFET'li amplifikatörlerin analizi ve tasarımı eşdeğer devreler yardımı ile yapılır. Devre analizinde kullanılan iki tip eşdeğer devre modeli vardır. Bunlar; Lineer veya küçük sinyal eşdeğer devresi, büyük sinyal veya lineer olmayan devrelerdir.

Elemanın maksimum çalışma frekanslarının altında çalışması alçak frekans devre modeline uygundur. Alçak frekans devre modelleri genellikle frekansa bağlı olmayan devre elemanlarından oluşur. Yüksek frekanslarda ise elemanın frekansla ilgili etkilerini gösterebilmek için, devreye kapasitans ve endüktanslar eklenebilir. Bu tip devre modellerine de yüksek frekans eşdeğer devre modeli denir.

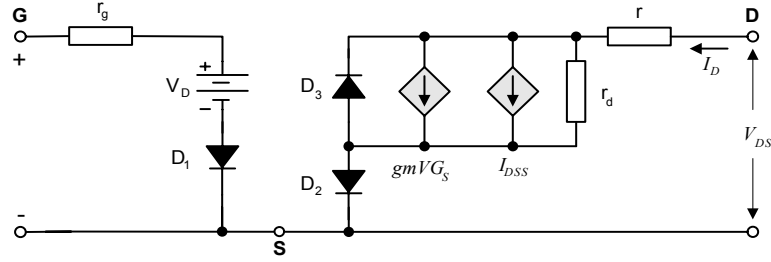
Alçak Frekans-Büyük Sinyal İçin JFET Devre Modeli

Alçak frekans-büyük sinyal için tasarlanan devre modeline eşdeğer devre ismi de verilmektedir. JFET karakteristikleri, bipolar transistör karakteristiklerine biraz benzerlik göstermesine karşın, bu karakteristikler arasında üç önemli fark vardır. Birinci fark, JFET'in kontrol parametresi akımdan ziyade gerilim esasına bağlı oluşudur. İkinci fark, JFET'te giriş gerilimi sıfır iken çıkış akımının akmasıdır. Üçüncü fark ise; JFET karakteristik eğimlerinin belli bir eğime sahip olduklarıdır.

Normal çalışma şartları altında JFET'te geytten sörs'e doğru sinyal akımı hiç akmaz. Bu nedenle, geyt-sörs direnci kullanılan elemana bağlı olarak mega ohm'lar mertebesindeir. V_{GS} 'nin I_D akımı üzerindeki etkisi ise transdüktans eşitliği;

$$gm = \frac{\Delta I_{DS}}{\Delta V_{GS}}$$

ile gösterilmişti. V_{GS} gerilimindeki değişimler nedeni ile I_D 'de meydana gelen değişimler, dreyn-sörs devresinde gerilime Bağımlı akım kaynağı sembolü ($gm.V_{GS}$) ile şekil-9.1'de verilen eşdeğer devrede gösterilmiştir. Devrede V_{DS} gerilimi artarken I_D akımı da belli bir eğimle yükselir. V_{DS} gerilimi ile I_D akımı arasındaki bu etkileşim eşdeğer devrede dreyn-sörs arasına konulan r_d iç direnci ile gösterilebilir. r_d 'nin değeri JFET ve MOSFET için 10KΩ ile 100KΩ arasındadır. Eşdeğer devrenin çıkışında görülen r direnci, dreyn uç (terminal) direncidir.



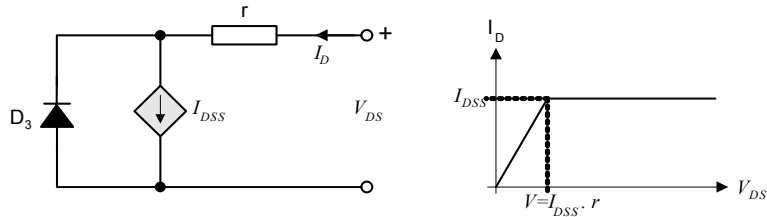
Şekil-11.1 N Kanallı JFET'in Sembolü ve piecewise-linear modeli (Eşdeğeri)

Eşdeğer devrede girişi temsil eden geyt-sörs arası ise PN bitişimli diyoda benzer. Diyodun ileri yön ofset gerilimini V_D kaynağı, omik direncini ise r_g direnci temsil eder. Geyt sörs'e göre negatif olduğundan çok az bir geyt akımı akar. V_{GS} gerilimi çok büyük negatif değer olsa bile, D_2 diyodu çıkış devresinden akması beklenen ters yönlü akımın akışını önler. Eşdeğer devre yardımı ile daha iyi anlaşılan bu özellik, JFET'in daraltma olayındaki güvenilirliğini açıklamaya yeterlidir.

Çıkış devresi daha basitleştirilerek incelenebilir. Bu amaçla şekil-9.2.a'da verilen eşdeğer devre ve karakteristik üzerinde duralım.

I_D akımı I_{DSS} akımından daha küçük olduğunda, D_3 diyodu ileri yönde polarlanır. Akım kaynağı uçlarında gerilim düşümüne izin vermez. Uygulanan V_{DS} gerilimi, eğrinin eğimini belirleyen r dreyn direnci uçlarında düşer. Uç gerilimi, $I_{DSS}r$ değerine eşit veya bu değerden fazla olduğunda, r direncinden geçen I_D akımı I_{DSS} 'ye eşit duruma gelir. Böylece D_3 diyodu ters yönde polarlanır. Bundan dolayı eğri aşağıdan sıfır eğimli kısma bükülürken, I_D akımı da şekil-9.2.b'de görüldüğü gibi I_{DSS} değerine erişir. Şayet r_d değerli bir direnç akım kaynağına paralel bağlanırsa, bükülme noktasında eğrinin değeri $R_{eş}$ eşitliği ile bulunabilir. Burada;

$$R_{eş} = \text{Eşdeğer direnç} = r + r_d$$



Şekil-9.2.a ve b JFET Çıkış Devresinin basit eşdeğeri ve V-I karakteristiği

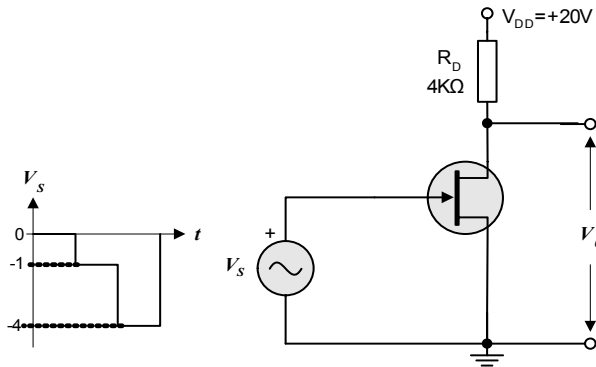
Bu takdirde meydana gelen sıfır eğimli kısım yerine, I_D akımı I_{DSS} değerine eriştiğinde eğrinin eğimi;

$$\frac{1}{r + r_d}$$

eşitliği ile bulunabilecektir. Sabit akım kaynağı I_{DSS} 'ye akım kaynağı $g_m \cdot V_{GS}$ 'nin eklenmesi bütün eğrilerin üretilmesini sağlar. Bunun için şekil-9.1 deki eşdeğer devre modeli JFET karakteristiklerinin üretebileceği uygun bir devre modelidir.

Ters polarmalandırılan diyod yüksek bir empedans göstereceğinden giriş devresi çoğunlukla açık devre şeklinde düşünülebilir. Bu özellik MOSFET için her zaman doğrudur. Devrenin çalışması sırasında ve geyt-sörs arası ters polarmalı olan JFET'e de bu özellik uygulanabilir.

**Örnek:
9.1**



Şekil-9.3 JFET'li yükselteç devresi

Şekil-9.3'de verilen JFET'li yükselteç devresinde;

$$I_{DSS}=6mA,$$

$$g_m=2mho,$$

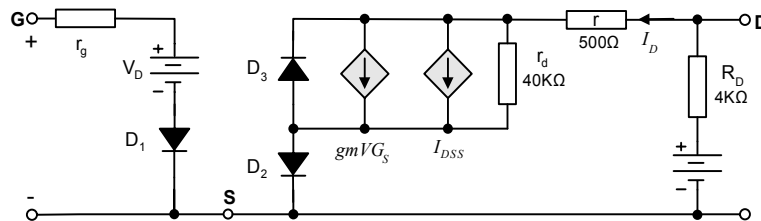
$$V_0=0.6 \text{ volt}$$

$$r=500 \text{ ohm ve } r_d=40K \text{ ohm}$$

olduğuna göre yükseltecin çıkış dalga şeklini bulunuz.

Cözüm

Eşdeğer devre modelinden yararlanarak şekil-9.4'de görülen eşdeğer devreyi çizebiliriz. Devre girişinde $V_s=0$ iken, D_3 diyodundan geçen akım $6mA$ 'lık I_{DSS} akımından daha azdır. Çünkü dreyn yük direnci bu akımı $6mA$ 'den daha küçük bir değerde sınırlar. Böylece D_3 diyodu ileri yönde polarmalanır.



Şekil-9.4 JFET'li yükselteç devresinin eşdeğeri

Bu durum şekil-9.5.a'da basitleştirilmiş eşdeğer devrede gösterilmiştir. Bu giriş geriliminde JFET doyumdadır ve $V_{GS}=0$ için dreyn akımı;

$$I_D = \frac{V_{DD}}{r + R_D} = \frac{20V}{500\Omega + 4K\Omega} = 4.44mA$$

Çıkış gerilimi V_{DS} ;

$$V_{DS} = V_{DD} - (I_D \cdot R_D) = 20V - (4.44mA \cdot 4K\Omega) = 2.22V$$

$$V_{DS} = V_{DD} - (I_D \cdot R_D) = 20V - (4.44mA \cdot 4K\Omega) = 2.22V$$

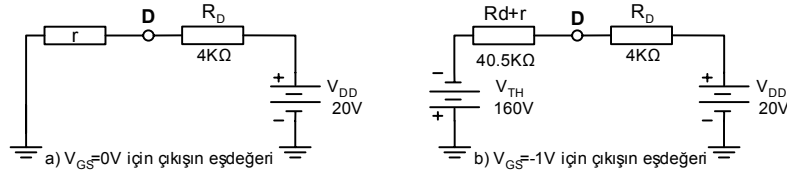
olur. Şekil-9.5.b'deki eşdeğer devre $V_{GS}=-1$ volt durumundaki karakteristik eğriyi göstermektedir. Bu durumda iki akım kaynağı tarafından üretilen net akım,

$$I = I_{DSS} + (gm \cdot V_{GS}) = 6mA + 2 \cdot (-1V) = 4mA$$

olur. D₃ diyodu ters yönde polarmalanır ve açık devre özelliği gösterir. Devrede geriye 4mA'lık akım üreten iki kaynağı ile bunlara paralel bağlı 40KΩ'luk direnç kalır. Akım kaynağı gerilim kaynağına dönüştürülürse Thevenin eşdeğer gerilimi;

$$V_{TH} = 4mA \cdot 40K\Omega = 160V$$

değerinde gerilim kaynağı ve buna seri bağlı 40KΩ'luk eşdeğer devre haline gelir. Buna göre dreyin akımı;



Şekil-9.5 a) $V_{GS}=0V$, b) $V_{GS}=-1V$ durumu için Çıkış Devresinin Eşdeğeri

$$I_D = \frac{V_{TH} + V_{DD}}{r + rd + R_D} = \frac{160 + 20V}{40K\Omega + 500\Omega + 4K\Omega} = 4.045mA$$

olur. Çıkış gerilimi ise;

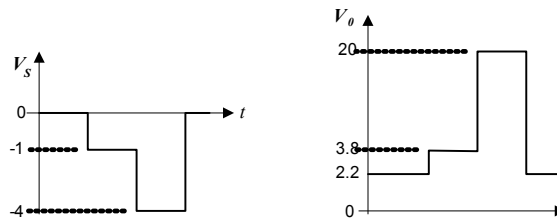
$$V_{DS} = V_{DD} - (I_D \cdot R_D) = 20V - (4.045mA \cdot 4K\Omega) = 3.8V$$

değerini alır. Giriş sinyali $V_s=-4$ v değerine geldiğinde, iki akım kaynağının ürettiği net akım,

$$I_{DSS} + (gm \cdot V_{GS}) = 6mA - (2 \cdot 4V) = -2mA$$

olur. Bu durumda, D₂ diyodu, ters yönde polarmalanır ve dreyin devresinden ters yönde akım akmasına izin vermez.

JFET kesime gittiğinden çıkış sinyali 20v'luk bir değere ulaşır. Yine, V_s giriş sinyali 0v'a doğru değiştiğinde çıkış da 2.22V'a iner ve olaylar aynı biçimde devam eder. Şekil-9.6'da yükselteç giriş ve çıkış işaretleri verilmiştir.



Şekil-9.6 JFET'li Katın Giriş ve Çıkış Sinyallerinin Dalga şekilleri

Alçak Frekans-Küçük Sinyal JFET Modeli

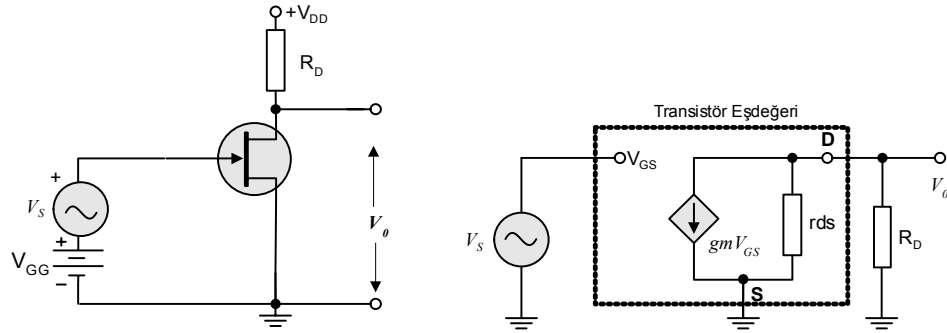
Alçak frekans-küçük sinyal için tasarlanmış, tek besleme kaynağına sahip bir JFET'li yükselteç ve eşdeğer devresi şekil-9.7.a'da verilmiştir. Küçük sinyal modelini kullanabilmek için, g_m ve r_{ds} değerlerinin verilmesi veya bu değerlerin karakteristik eğrilerden bulunması gerekir. Eğriler kullanılırsa, bu değerler sükunetteki çalışma noktasına yakın I_D , V_{DS} , V_{GS} miktarına göre tespit edilir. Daha sonra transdüktans;

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}} \Big|_{V_{DS}=\text{sabit}}$$

ve dreyn-sörs arası (dreyn iç ve çıkış) direnci;

$$r_{ds} = \frac{\Delta V_{DS}}{\Delta I_{DS}} \Big|_{V_{GS}=\text{sabit}}$$

eşitliklerinden bulunur. Küçük sinyal eşdeğer devresi dc seviyeleri içine almaz. Bu nedenle V_{GG} , V_{DD} gibi bütün dc kaynaklar kısa devre edilir. JFET'lerde dc ve ac hesapların birbirlerine olan etkisini gösterebilmek için şekil-9.7.a'da görülen yükselteç ile karakteristiklerinin kullanıldığını, $V_{GG}=-1V$, $R_D=2K\Omega$, ve $V_{DD}=20V$ olduğunu kabul edelim.



Şekil-9.7.a ve b. JFET'li Yükseltecin Gerçek ve eşdeğer Devresi (self Polarma Devresi)

DC çalışma şartları, daha önce açıklandığı gibi, dreyn karakteristikleri üzerine yük çizgisi çizilerek ve sükunet noktası işaretlenerek belirlenir. Önceki bölümde karakteristiklerde;

$$V_{GSQ}=-1V \text{ durumu için, } V_{DSQ}=9V \text{ ve } I_{DQ}=5.5mA$$

değerleri bulunmuştu. Bu noktadaki transdüktansın $g_m=3.5 \text{ mmho}$ ve dreyn iç direncinin $r_{ds}=10K\Omega$ olabileceği hesaplanır. Şekil-9.7.b'deki küçük sinyal eşdeğer devresinden giriş gerilimi;

$$V_s = V_{GS}$$

çıkış gerilimi ise;

$$V_o = [-g_m \cdot V_{GS}] \cdot \frac{r_{ds} \cdot R_D}{r_{ds} + R_D} = [-g_m \cdot V_s] \cdot \frac{r_{ds} \cdot R_D}{r_{ds} + R_D}$$

yazılabilir. Bu durumda gerilim kazancı;

$$A_V = \frac{V_0}{V_s} = -g_m \cdot \frac{r_{ds} \cdot R_D}{r_{ds} + R_D}$$

olur. Gerekli hesaplamalar yapılırsa;

$$A_V = \frac{V_0}{V_s} = -3.5 \cdot \frac{20K\Omega \cdot 2K\Omega}{20K\Omega + 2K\Omega} = 6.4$$

olacağı bulunur. Eğer giriş gerilimi $V_i = 0.5 \cos \omega t$ ise çıkış bu durumda çıkış sinyali;

$$V_0 = A_V \cdot V_s = -6.4 \cdot (0.5 \cos \omega t) = -3.2 \cos \omega t$$

dir. Bu durumda girişteki AC ve DC sinyallerin toplamı girişte;

$$V_{GS} = V_{GG} + V_s$$

$$V_{GS} = -1 + 0.5 \cos \omega t$$

ve çıkış sinyali ise;

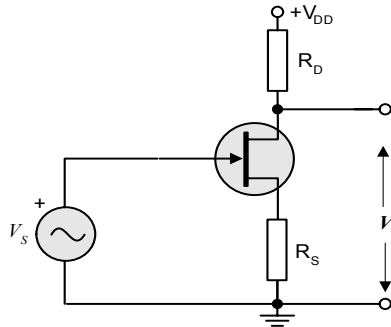
$$V_{DS} = V_{DSQ} + V_0 = 9 - 3.2 \cos \omega t$$

olur.

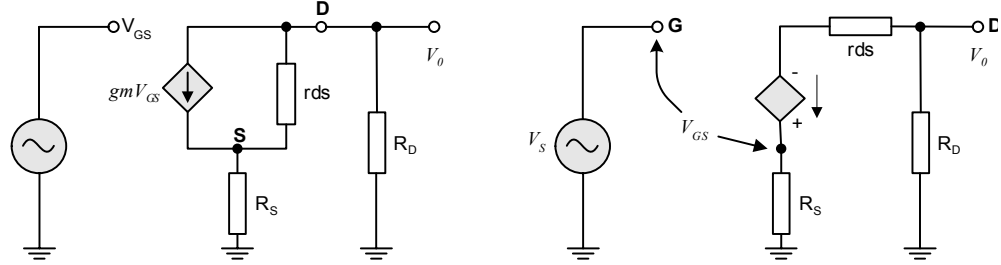
Burada bir eşdeğer devrenin kullanılması ile ortaya çıkan sonuçların grafiksel analizle oldukça iyi uyduğu görülebilir. Eşdeğer devrenin kullanımı konusunda bir sorun olduğunda, grafik metotla ilgili kata çok kolay biçimde uygulanabilir.

Eşdeğer devre çözümünde analitik metod kullanmanın bir çok üstünlüğü vardır. Analitik metotla dizayn, DC seviyeler kritik değilse V-I karakteristikleri kullanılmadan da yapılabilir. Tipik g_m , r_{ds} ve V_P değerleri, pek çok tasarımda devrenin yeterli doğrulukta uygulanabilmesine imkan sağlarlar. Ayrıca çok katlı tasarımlarda analitik metodular sayesinde hızlı bir şekilde yapılabilir. Diğer bir üstünlük, self polarma direnci baypaslanmadığı zaman görülebilmektedir. Halbuki, aynı devre için grafiksel metot kullanarak gerilim kazancını hesaplamak çok zordur. Bundan dolayı, self polarma direnci baypaslanmadığı zaman gerilim kazancını bulmak için analitik bir ifade geliştireceğiz.

Şekil-9.8'de bu duruma uygun bir yükselteç görülmektedir. Bu yükselteç devresinin alçak frekans küçük sinyal eşdeğeri ise şekil-9.9.a'da verilmiştir. Bu devrede, $g_m V_{GS}$ akım kaynağı ve r_{ds} dreyin iç direncinin theve'nin eşdeğer devresi şekil-9.9.b'de görülmektedir.



Şekil-9.8 R_S direnci baypaslanmış JFET'li Yükselteç



Şekil-9.9.a ve b R_S direnci baypaslanmış JFET'li yükseltecin eşdeğer devreleri

Theve'nin eşdeğer devresinde çıkış gerilimi;

$$V_0 = -\frac{R_D}{R_D + r_{ds} + R_S} g_m V_{GS} \cdot r_{ds}$$

veya;

$$V_0 = \frac{-R_D}{R_D + r_{ds} + R_S} \mu V_{GS} \quad \mu = g_m \cdot r_{ds}$$

dir. Burada; $\mu = g_m \cdot r_{ds}$ eşitliğinin karşılığıdır. Yine, bu devrede geyt-sörs arası gerilim, giriş sinyaline eşit değildir. Geyt-sörs gerilimi;

$$V_{GS} = V_S - \frac{R_S}{R_D + r_{ds} + R_S} \mu V_{GS}$$

yazılabilir. V_{GS} için çözüm yapılırsa;

$$V_{GS} = V_S \frac{R_D + r_{ds} + R_S}{R_D + r_{ds} + (\mu + 1) \cdot R_S}$$

eşitliği elde edilir. V_{GS} 'nin bu değeri V_0 eşitliğinde yerine konursa, çıkış gerilimi;

$$V_0 = \frac{-R_D \cdot \mu \cdot V_S \frac{R_D + r_{ds} + R_S}{R_D + r_{ds} + (\mu + 1) R_S}}{R_D + r_{ds} + R_S} = \frac{-R_D \cdot \mu \cdot V_S}{R_D + r_{ds} + (\mu + 1) R_S}$$

olur. Gerilim kazancı için de;

$$A_V = \frac{V_0}{V_S} = \frac{\frac{-R_D \mu V_S}{R_D + r_{ds} + (\mu + 1) R_S}}{V_S} = \frac{-\mu R_D}{R_D + r_{ds} + (\mu + 1) R_S}$$

eşitliği bulunur. R_S değeri sıfıra doğru azaltılırken, (11.2) eşitliği self polarma direnci olmayan JFET'li yükselteç için kullanılan (11.1) eşitliği ile bulunacak değere yaklaşır. Miktarı, yükseltme (amplifikasyon) faktörü diye isimlendirilir,

$$\mu = -\frac{\Delta V_{DS}}{\Delta V_{GS}} \Big|_{I_D = \text{Sabit}}$$

formülü ile değerlendirilebilir. Miktarının değerlendirilmesin de çok doğru olan diğer bir formül de aşağıda verilmiştir.

$$\mu = g_m \cdot r_{ds}$$

Gerilim kazancı hesaplamalarında devrenin karakteristik eğrilerinin lineer kısmında çalıştığının kabul edildiğini belirtmek gerekir. Belli bir çıkış sinyalinde aktif bölgenin dışına çıkılmaz ise, küçük sinyal eşdeğer devresi için lineer kısımdan söz etmek gerekmez.

Örneğin, gerilim kazancı -12 olan bir JFET'e tepe değeri 2V'a sahip giriş sinyali uygulanırsa, bu girişin çıkışta, tepe değeri 24V olacak çıkış sinyali yaratabileceği önceden tahmin edilebilir. Ancak $V_{DD}=20V$ ise, şüphesiz bu çıkış elde edilemez.

JFET'li yükseltecin çıkış empedansı birçok uygulama için önemli bir değerdir. şekil-11.5'deki self-polarma direnci kullanılmayan JFET'li yükseltecin çıkış empedansı,

$$R_D = R_D - r_{ds} = \frac{R_D \cdot r_{ds}}{R_D + r_{ds}}$$

şeklinde yazılabilir. Sörs'e bağlı self polarma direnci (R_s) baypaslanmış şekil-11.6'daki JFET'li yükselteç devresi için çıkış empedansı;

$$R_D = R_D - [r_{ds} + (\mu + 1) R_s] \quad R_D = \frac{R_D [r_{ds} + (\mu + 1) R_s]}{R_D + r_{ds} + (\mu + 1) R_s}$$

ifadesiyle gösterilebilir.